

CLIPPEDIMAGE= JP406112047A
PAT-NO: JP406112047A
DOCUMENT-IDENTIFIER: JP 06112047 A
TITLE: LAMINATED CERAMIC INDUCTOR AND MANUFACTURE THEREOF

PUBN-DATE: April 22, 1994

INVENTOR-INFORMATION:

NAME

HIROHASHI, KUNIHICO

ASSIGNEE-INFORMATION:

NAME

TAIYO YUDEN CO LTD

COUNTRY

N/A

APPL-NO: JP04280571

APPL-DATE: September 26, 1992

INT-CL_(IPC): H01F017/00; H01F001/34 ; H01F041/00 ; H01F041/04

US-CL-CURRENT: 29/602.1, 336/200

ABSTRACT:

PURPOSE: To obtain a laminated ceramic inductor made to acquire an inductance lower than a one-turn inductance without needing the development of a new material, and using existing conductor patterns for a coil and a method of manufacturing the ceramic inductor.

CONSTITUTION: A sheet 1 printed with one-turn conductor patterns 3 connected to each other through a through hole 2, a central dummy sheet 5 consisting of green sheets (12 sheets), the same sheet as a printed sheet and an upper dummy sheet 6 consisting of green sheets (8 sheets) are laminated on a lower dummy sheet 4 consisting of magnetic material green sheets (7 sheets) in the order of the sheet 1, the sheet 5, the sheet and the sheet 6. That is, even if a non-magnetic material layer or an earth electrode layer is provided as a magnetic shielding layer in place of the central dummy sheet in addition to a

method of providing a proper interval between two coils, the same effect as that of a laminated ceramic inductor manufactured using the central dummy sheet is obtained.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-112047

(43)公開日 平成 6 年(1994) 4 月22日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F 17/00	D	7129-5E		
1/34	A			
41/00	C	8019-5E		
41/04	C	8019-5E		

審査請求 未請求 請求項の数 4 (全 5 頁)

(21)出願番号 特願平4-280571

(22)出願日 平成 4 年(1992) 9 月26日

(71)出願人 000204284

太陽誘電株式会社

東京都台東区上野 6 丁目16番20号

(72)発明者 広橋 邦彦

東京都台東区上野 6 丁目16番20号 太陽誘電株式会社内

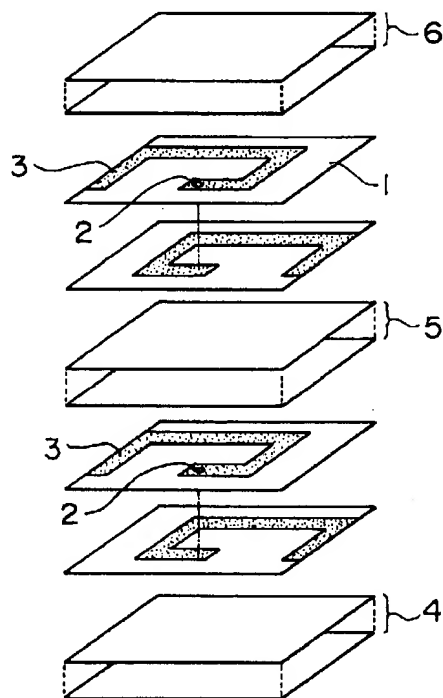
(74)代理人 弁理士 丸岡 政彦

(54)【発明の名称】 積層セラミックインダクタとその製造方法

(57)【要約】

【目的】 新材料の開発を必要とせず、しかも既存のコイル用導体パターンを用いて、1ターンのインダクタンスよりも低いインダクタンスを取得した積層セラミックインダクタとその製造方法の提供。

【構成】 本発明の方法では、図1に示すように、磁性体グリーンシート（7枚）からなる下部ダミーシート4上に、スルーホール2で接続される1ターンの導体パターン3を印刷したシート1、該グリーンシート（12枚）からなる中部ダミーシート5、前記印刷シートと同様なシート、該グリーンシート（8枚）からなる上部ダミーシート6の順に積層することを特徴とする。すなわち、2つのコイル間に適当な間隔を設ける上記方法のほかに、中部ダミーシートのかわりに、磁気シールド層として非磁性体層あるいはアース電極層を設けても同じ効果が得られる。



【特許請求の範囲】

【請求項1】 磁性体グリーンシートを積層して得られる積層体に内設されたコイルがらせん状に周回し、その始端と終端とがそれぞれ別の外部電極端子に接続している積層セラミックインダクタであって、上記内設されたコイルが少なくとも2個並列に外部電極端子に接続されており、かつ該コイル間には少なくとも1枚の磁性体グリーンシートが存在することを特徴とする積層セラミックインダクタ。

【請求項2】 磁性体グリーンシートを積層して得られる積層体に内設されたコイルがらせん状に周回し、その始端と終端とがそれぞれ別の外部電極端子に接続している積層セラミックインダクタであって、上記内設されたコイルが少なくとも2個並列に外部電極端子に接続されており、かつ該コイル間には非磁性体層またはアース電極層からなる磁気シールド層が存在していることを特徴とする積層セラミックインダクタ。

【請求項3】 磁性体グリーンシートにスルーホールを形成し、該シートにコイル導体パターンを印刷して積層することによって得られる積層体に内設するコイルがらせん状に周回し、その始端と終端とがそれぞれ別の外部電極端子に接続してなる積層セラミックインダクタの製造方法において、上記コイルの少なくとも2個を並列に外部電極端子に接続し、かつ該コイル間に少なくとも1枚の磁性体グリーンシートを配することによりコイル間に間隔を設けることを特徴とする積層セラミックインダクタの製造方法。

【請求項4】 磁性体グリーンシートにスルーホールを形成し、該シートにコイル導体パターンを印刷して積層することによって得られる積層体に内設するコイルがらせん状に周回し、その始端と終端とがそれぞれ別の外部電極端子に接続してなる積層セラミックインダクタの製造方法において、上記コイルの少なくとも2個を並列に外部電極端子に接続し、かつ該コイル間に非磁性体層またはアース電極層からなる磁気シールド層を設けることを特徴とする積層セラミックインダクタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1ターンより小さなインダクタンスを取得することのできる積層セラミックインダクタとその製造方法に関する。

【0002】

【従来技術】電子部品の小型化、薄型化が強まる中で、インダクタについては、従来のコアに巻線を施したものから、現在では磁性体内に内設された導体パターンがコイルを形成するように積層された積層セラミックインダクタが注目されるようになった。

【0003】この積層セラミックインダクタの製造方法には、導体ペーストと磁性体ペーストとを交互にスクリーン印刷するいわゆる印刷法と、磁性体グリーンシート

の所定位置に設けたスルーホールによって、該グリーンシート上に印刷されたコイル用の導体パターンを接続するいわゆるシート法とが挙げられる。

【0004】なお、上記いずれの方法においても、積層工程ではある面積に多数個同時に印刷されるので、積層完了後、所定のチップ素体寸法に従い裁断が行なわれる。

【0005】

【発明が解決しようとする課題】従来、積層セラミックインダクタのインダクタンスは、概ね磁性体の透磁率と巻数によって決まり、巻数が多い程高いインダクタンスが得られ、巻数の増大はコイルの周回パターンを繰り返すことにより容易である。

【0006】しかしながら、低いほうのインダクタンスは、巻線1ターンのインダクタンスが最も低い値を示すので、それより低いインダクタンスは巻数を変えることによっては得られない。

【0007】したがって、1ターンのインダクタンスよりも低いものを得るためには、新しい低透磁率の材料の開発、もしくは新しい専用のパターン設計等が必要である。

【0008】新材料の開発が困難であるのは言うまでもなく、たとえ開発できたとしても、全工程の見直しが必要となり困難を極める。また、専用のパターンは汎用性がないため実用的でない。

【0009】そこで、本発明の目的は、新材料の開発を必要とせず、しかも既存のコイル用導体パターンを用いて、1ターンのインダクタンスよりも低いインダクタンスを取得した積層セラミックインダクタとその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明者は、上記目的を達成すべく、まず磁性体内にコイルを複数、並列に接続した構造に着目し、例えばインダクタンス(L)、直流抵抗(R_{DC})のコイルを2個並列接続した場合の合成インダクタンスは、理論的には $1/2$ になるはずであるが、実際にはコイルの磁氣的結合により理論値通りにはならないこと、一方、合成直流抵抗は、これを大きく妨げる要因がないことから、理論通り $1/2$ となる点に鑑み、研究を進めた結果、コイルの個数及び巻数に関係なく、以下のような工夫、

(1) 磁性体内のコイル間に適当な間隔を設けるか、透磁率の極めて低い層を介在させる；

(2) コイル間に磁気シールド層として非磁性体層を設ける；

(3) コイル間に磁気シールド層としてアース電極を設ける；のいずれかを実施することにより、磁性体のコイル同士の磁氣的結合を効果的に弱めるか、あるいは妨げられるので、前記課題を解決できることを見いだし、本発明に到達した。

【0011】したがって本発明は第1に、磁性体グリーンシートを積層して得られる積層体に内設されたコイルがらせん状に周回し、その始端と終端とがそれぞれ別の外部電極端子に接続している積層セラミックインダクタであって、上記内設されたコイルが少なくとも2個並列に外部電極端子に接続されており、かつ該コイル間には少なくとも1枚の磁性体グリーンシートが存在するか、あるいは磁気シールド層、好ましくは非磁性体層もしくはアース電極層のいずれかが存在することを特徴とする積層セラミックインダクタ：及び第2に、磁性体グリーンシートにスルーホールを形成し、該シートにコイル導体パターンを印刷して積層することによって得られる積層体に内設するコイルがらせん状に周回し、その始端と終端とがそれぞれ別の外部電極端子に接続してなる積層セラミックインダクタの製造方法において、上記コイルの少なくとも2個を並列に外部電極端子に接続し、かつ該コイル間に少なくとも1枚の磁性体グリーンシートまたは透磁率の極めて低い磁性体のグリーンシートを配してコイル間に間隔を設けるか、あるいはコイル間に磁気シールド層、好ましくは非磁性体層もしくはアース電極層のいずれかを設けることを特徴とする積層セラミックインダクタの製造方法を提供するものである。

【0012】

【作用】本発明の方法では、インダクタの構造を、磁性体内にコイルを複数、並列接続した構造とし、さらに磁性体内のコイル間に適当な間隔を設けるか、コイルを埋設する磁性体に比して極めて低い透磁率を示す層を設けるか、あるいは磁気シールド層として非磁性体層またはアース電極層を設けるので、磁性体のコイル同士の磁気的結合を効果的に弱めることができる。

【0013】

【実施例1】図1は本実施例において、磁性体グリーンシートを積層する際の積層順序を示す積層分解斜視図であって、これらを参照して以下説明する。

(1) Ni-Cu-Zn系フェライト粉からなるスラリーをドクターブレード法により磁性体グリーンシートに形成する。

(2) 得られた厚さ50 μ mの磁性体グリーンシートの所定位置にスルーホールを開け、Agを主成分とする導体ペーストでコイル用導体パターンを印刷する。

(3) 次いで図1に示すような順序で積層する。すなわち、磁性体グリーンシート7枚からなる下部ダミーシート4を置き、その上にスルーホール2で接続される巻数1のコイル用導体パターン3を印刷した磁性体グリーンシート1、磁性体グリーンシート12枚からなる中部ダミーシート5、前記と同様な巻数1のコイル用導体パターンを印刷した磁性体グリーンシート1、さらに磁性体グリーンシート8枚からなる上部ダミーシート6を順次積層する。

【0014】上記積層の際、コイル周回の向きは同じパ

ターンを用いているため同じ方向となっており、また実際の工程では、該グリーンシート上に多数個の導体パターンが同時に印刷される。

(4) 積層後、圧着、チップ素体への裁断、バレル研磨を経て、脱バインダー、焼成を行った後、Agを主成分とする電極ペーストを塗布、焼付けて外部電極7を付与し、図2に示すような積層セラミックインダクタを得る。またその等価回路図は図3の通りである。

(5) 上記チップ素体を890℃で1時間保持して焼成した焼成品（試料数30）の特性、すなわち50MHzでのL値(nH)をQ値ならびに直流抵抗(R_{DC})値(Ω)を調べた結果を表1に示した。

【0015】

【比較例1】実施例1の場合と同様な上部ダミーシートと下部ダミーシートとの間に、巻数1のコイル用導体パターンを印刷したシートを積層し、実施例1で述べた要領で積層セラミックインダクタを作成しその特性を調べ結果を表1に示した。

【0016】

【比較例2】実施例1の場合と同様な上部ダミーシートと下部ダミーシートとの間に、1ターンコイルを2個並列に接続し、中部ダミーシートを配置せずに、積層した以外は比較例1と同様にした積層セラミックインダクタを作成し、その特性を調べ結果を表1に示した。

【0017】

【実施例2】中部ダミーシートとして酸化チタンを主成分とする非磁性体グリーンシートを1枚挟んで1ターンの2個のコイルを並列に接続した積層セラミックインダクタを作成し、その特性を調べ結果を表1に示した。

【0018】

【実施例3】コイルとコイルの間に設ける中部ダミーシートのかわりに、Agを主成分とする導電体を網目状にした図4のようなメッシュ・タイプのアース用内部電極を磁性体シートに設けた以外は実施例1と同じ要領で積層セラミックインダクタを作成し、特性を調べ結果を表1に示した。

【0019】図5はチップ素体にアース電極を形成し、外部電極が付与された該インダクタの外観を示す斜視図である。

【0020】この場合は前記実施例2と同様に、コイル間隔を狭いま、低インダクタンスを取得でき、かつコイル間の磁気結合を少なくする効果が大い。

【0021】また、メッシュ・タイプのアース用電極を設ける他の効果は、メッシュ・タイプとしたことで該アース用電極が埋設された磁性体部分のデラミネーションの防止に効果があることが判明している。

【0022】

【実施例4】コイル間に積層したのと同じ磁性体グリーンシート1枚を挿入した以外は、実施例1の要領に従い積層セラミックインダクタを作成し、特性を調べ結果

を表1に示した。

【0023】

【実施例5】コイル間に、亜鉛フェライトグリーンシー

トを1枚挿入した以外は、実施例1の要領に従い積層セ*

*ラミックインダクタを作成し、特性を調べ結果を表1に示した。

【0024】

【表1】

	構造 (等価回路)	中部ダミーグリーン シートの種類と枚数	50MHzでの		直 流 抵 抗 $R_{DC}(\Omega)$
			L(nH)	Q	
比較例1			41.7	50.4	0.08
比較例2			39.6	54.6	0.04
実施例1		磁性体(12枚)	27.1	53.1	0.04
実施例2		非磁性体(1枚)	22.0	50.1	0.04
実施例3		アース形成 磁性体(1枚)	21.9	50.3	0.04
実施例4		磁性体(1枚)	35.7	54.1	0.04
実施例5		亜鉛フェライト (1枚)	30.9	53.8	0.04

【0025】表1のデータから各実施例を解析すると以下の通りである。

(1) 実施例1を比較例1と比較すると、コイルを2個並列接続することにより、直流抵抗が1/2となり、コイルを2個並列にした比較例2と比較すると、2つのコイルを離すことにより、インダクタンスが減少していることがわかる。比較例2の比較例1に対するインダクタンスの減少分はわずかであるが、実施例1の比較例1に対する減少分は35%であり充分実用化に値する。

(2) 実施例2はダミーシートのかわりに非磁性体グリーンシートを1枚挟んで2つのコイルを並列に接続した※50

40※ものであり、比較例1と比較すると、インダクタンス値はほぼ1/2となり、Qは同等である。比較例2と比較すると、コイル間隔はわずかな相違であるが、インダクタンス値は比較例2の55%に減少し、実施例4と比較しても非磁性体を配した効果は明白である。

(3) 実施例3はコイル間に導電体を網目状に形成し、その末端をアースしたものであり、コイルの間隔を狭いまま、低インダクタンス値を取得でき、かつコイル間の磁気結合を少なくする効果が大い。

(4) 実施例4はコイル間に磁性体グリーンシートを1枚挿入した場合であり、比較例2とはコイル間隔でわず

7

かな相違であるが実施例4の比較例2に対するインダクタンス値の減少分は10%であり、磁性体グリーンシート1枚の効果が現われている。他の実施例と比較してもQ値は最も高い値を示している。

(5) 実施例5はコイル間に透磁率の低いグリーンシートを1枚挿入した場合であり、低いインダクタンスをさらに低くする効果があることを示している。

【0026】尚、上記実施例および比較例に示すようにコイルを2個並列接続することで銅損の原因となる直流抵抗が1/2に低減していることがわかる。また、上記実施例においては、コイル軸心を直線上に重ねたものについて示したが、必ずしもこれにこだわる必要はなく、コイルの軸心を平行に横に配置しても同様の効果があり、またコイルは2より多い複数にすればその効果が増すことも自明である。

【0027】

【発明の効果】以上説明したように、本発明の方法によれば、既存のコイル用導体パターンを用いながら、少なくとも2つのコイルを並列に接続し、コイルの間隔を変えることにより、巻線1ターンのインダクタンス値より小さいインダクタンス値を取得した積層セラミックインダクタが得られる。

【0028】また、コイル間隔を広げずにインダクタンスを低くしたい時、例えばチップ部品の高さを低く保ちたい時には、コイル間隔を狭くしたまま、コイル間に磁気シールド層として非磁性体層、透磁率の極めて低い層

8

あるいはアース電極層を設けることにより上記同様な効果が得られる。

【図面の簡単な説明】

【図1】本発明の1実施例において、磁性体グリーンシートを積層する際の積層順序を示す積層分解斜視図である。

【図2】図1によって得られた積層セラミックインダクタの外観を示す斜視図である。

【図3】図2の積層セラミックインダクタの等価回路図である。

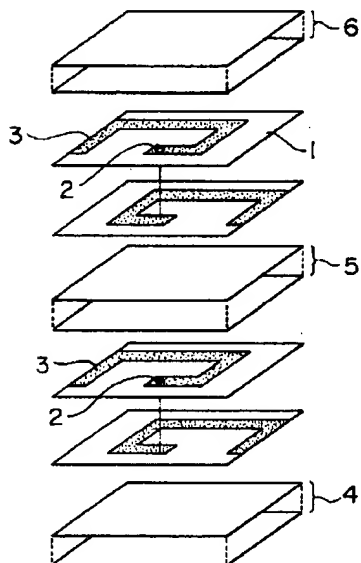
【図4】本発明の別の実施態様において用いられるメッシュ・タイプのアース用電極の斜視図である。

【図5】本発明の別紙態様において、アース電極を形成した積層セラミックインダクタの外観を示す斜視図である。

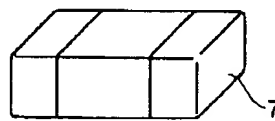
【符号の説明】

- 1 磁性体グリーンシート
- 2 スルーホール
- 3 導体パターン
- 4 下部ダミーシート
- 5 中部ダミーシート
- 6 上部ダミーシート
- 7 外部電極
- 8 メッシュ・タイプのアース用内部導体
- 9 アース用電極

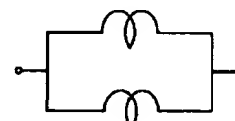
【図1】



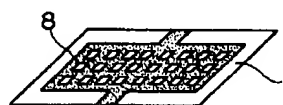
【図2】



【図3】



【図4】



【図5】

